

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-223436

(43)Date of publication of application : 13.08.1992

(51)Int.Cl.

G02F 1/1337

G02F 1/136

G09F 9/30

G09F 9/35

(21)Application number : 02-413755

(71)Applicant : NEC CORP

(22)Date of filing : 25.12.1990

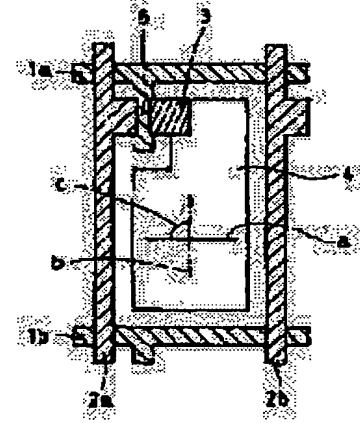
(72)Inventor : NAKAJIMA KOJI

(54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PURPOSE: To suppress the generation of discrimination by preventing the disturbance in the orientation of liquid crystal molecules by the electric fields generated between picture element electrodes and gate wirings (or between the picture element electrodes and drain wirings).

CONSTITUTION: The electric fields generated between the picture elements and gate wirings of the TFT substrate formed with the gate wirings 1a, 1b, drain wirings 2a, 2b, picture element electrodes 4 and TFTs 5 are higher than the electric fields generated between the picture element electrodes and drain wirings. The orientation treatment of the TFT substrate is so executed that the liquid crystal molecules are arranged in parallel with the gate wirings if the discrimination is liable to be generated by the former. The orientation treatment is so executed that the liquid crystal molecules are arranged in parallel with the drain wirings in the opposite case.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-223436

(43) 公開日 平成4年(1992)8月13日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F	1/1337	8806-2K		
	1/136	5 0 0	9018-2K	
G 0 9 F	9/30	3 3 8	7926-5G	
	9/35	3 0 8	7926-5G	

審査請求 未請求 請求項の数 2 (全 3 頁)

(21) 出願番号 特願平2-413755

(22) 出願日 平成2年(1990)12月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中嶋 公二

東京都港区芝五丁目7番1号 日本電気株式会社内

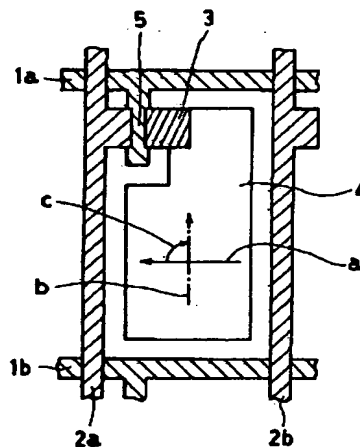
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 アクティブマトリックス液晶表示素子

(57) 【要約】

【目的】 画素電極-ゲート配線間（または、画素電極-ドレイン配線間）に発生する電界によって液晶分子の配向が乱されるのを防止して、ディスクリネーションの発生を抑制する。

【構成】 ゲート配線 1 a、1 b、ドレイン配線 2 a、2 b、画素電極 4 および TFT 5 が形成されている TFT 基板において、画素電極-ゲート配線間に発生する電界の方が画素電極-ドレイン配線間に発生する電界より高く、前者によってよりディスクリネーションが発生し易い場合には、TFT 基板の配向処理が液晶分子がゲート配線と平行に配列されるようになされ、逆の場合には、配向処理は液晶分子がドレイン配線と平行に配列されるようになされる。



1a, 1b...ゲート配線 5...TFT
 2a, 2b...ドレイン配線 a...TFT基板側液晶配向方向
 3...ソース電極 b...対向基板側液晶配向方向
 4...画素電極 c...液晶分子のねじれ方向

【特許請求の範囲】

【請求項1】 スイッチング素子基板上に互いに平行に配置された複数の信号配線と、各信号配線間に複数個配置された画素電極と、各画素電極と前記信号配線との間に接続されたスイッチング素子と、を具備したアクティブマトリックス液晶表示素子において、前記スイッチング素子基板は、該スイッチング素子基板近くの液晶分子が前記信号配線と 20° 以内の角度で配列するように配向処理が施されていることを特徴とするアクティブマトリックス液晶表示素子。

【請求項2】 TFT基板上に互いに平行に配置された複数のゲート配線と、前記ゲート配線と直交するように配置された複数のドレイン配線と、各ゲート配線と各ドレイン配線に囲まれた領域毎に設けられた画素電極と、画素電極と前記ドレイン配線との間にソース・ドレインが接続され、前記ゲート配線にゲートが接続された複数の薄膜トランジスタと、を具備したアクティブマトリックス液晶表示素子において、前記TFT基板は、該TFT基板近くの液晶分子が前記ゲート配線またはドレイン配線と 20° 以内の角度で配列するように配向処理が施されていることを特徴とするアクティブマトリックス液晶表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は個々の表示画素にスイッチング素子が接続されて構成されるアクティブマトリックス液晶表示素子に関する。

【0002】

【従来の技術】 代表的なアクティブマトリックス方式の表示素子であるTFT型アクティブマトリックス液晶表示素子は、薄膜トランジスタと画素電極とを有するガラス基板と、全面に透明電極が形成されたガラス基板とを重ね合わせ、その間隙にネマチック液晶が注入された構造となっている。その液晶は通常両ガラス基板にある配向膜によって液晶分子の長軸の方向が 90° 前後ねじられた配向となされ、TN（ツイストネマチック）型液晶素子を構成している。

【0003】 ここで、薄膜トランジスタを有するガラス基板（以下、これをTFT基板と呼ぶ）の構造について説明する。図2はTFT基板の1画素の部分の平面図である。同図に示されるように、画素電極4は格子状に配置されたゲート配線1a、1bおよびドレイン配線2a、2bによって四方を囲まれている。この画素の表示を制御する信号は、ゲート配線1aの制御信号に従って、ドレイン配線2aよりTFT5およびそのソース電極3を介して画素電極4に伝えられる。

【0004】 液晶分子を所望の方向に配列させるためにTFT基板に施す配向処理は、従来、図中dで示されるように、ゲート配線およびドレイン配線と略 45° の角度に行われ、また、対向基板には図中eで示される方向

に配向処理が行われていた。従って、内部の液晶は図中fで示される方向にねじられてTN型液晶素子を構成していた。

【0005】

【発明が解決しようとする課題】 アクティブマトリックス液晶表示素子では、画素の周りをゲート配線やドレイン配線が走っているため、画素電極とそれらのゲート配線やドレイン配線との間に電界が発生する。そのため、配線近くの液晶分子の配向がみだされ、液晶にディスクリネーション（disclination）と呼ばれる配向の不連続な境界が発生するようになる。

【0006】 従来の配向方向では、液晶の配列が両配線と画素電極との間の電界の影響を受けるため、ディスクリネーションが画素電極内部まで発生することとなり、その結果、表示を変更しても以前の表示がうすく見えるような焼付現象や残像現象がおきるという問題があった。

【0007】

【課題を解決するための手段】 本発明のアクティブマトリックス液晶表示素子は、スイッチング素子基板とこれと対向する対向基板とを具備するものであり、スイッチング素子基板には互いに平行な複数の信号配線と、各配線に挟まれた複数の画素電極と、各画素電極といずれかの信号配線に接続されたスイッチング素子とが形成されており、そして、スイッチング素子基板は、その近くの液晶分子が信号配線と 20° 以内の角度で配列するように配向処理が施されている。

【0008】

【実施例】 次に、本発明の実施例について図面を参照して説明する。図1は、本発明の一実施例のTFT基板の1画素部分の平面図である。

【0009】 同図に示されるように、TFT基板上にはゲート配線1a、1b、ドレイン配線2a、2b、TFT5、TFT5のソース電極3、画素電極4が形成されている。そしてその表面には配向膜が形成されており、その配向処理は、図中aで示されるように、ゲート配線1aおよび1bに略平行な方向になされている。

【0010】 また、それに対応して対向基板は図中bで示される方向に配向処理が行われ、内部の液晶は、図中cで示される方向にねじられてTN型液晶素子を構成している。

【0011】 通常のTFT駆動状態では、画素電極—ゲート配線間電界の方が、画素電極—ドレイン配線間のそれより高くなっている。而して、ここに用いられているネマチック液晶分子では、分子の長軸方向の電界の影響をより強く受け短軸方向の電界からはそれ程影響は受けない。従って、この実施例のようにゲート配線と略平行に液晶を配向させた場合には、ゲート配線—画素電極間の電界は強いもののここで液晶分子の配列方向が大きく乱されることはなく、液晶にディスクリネーションが発

3

生して準安定状態に移るようなことはなくなる。

【0012】一方、実施例の配向方向では、液晶分子は画素電極—ドレイン配線間の電界の影響は受け易くなっている。しかし、通常、こちら側の電界の方が画素電極—ゲート配線間の電界より低くなっているため、こちら側でもディスクリネーションが発生することはない。

【0013】上記実施例では、画素電極—ゲート配線間の電界の方が高いので、配向をゲート配線と平行となるようにしたが、この配向方向が常に最良であるとは限らない。ゲート配線側に常に高電界が発生する訳ではないからである。ドレイン配線とゲート配線のどちらに平行に配向させた方がよいかは、各配線と画素電極間の距離や形状、各配線の駆動電圧などの影響でどちら側によりディスクリネーションが発生しやすいかによって決定される。

【0014】上記実施例では配線と平行な実施例を示したが、平行から多少ずれてもディスクリネーションを低減させる効果があった。配線と配向の方向が $\pm 20^\circ$ 以内であれば、上述の効果により、焼付現象や残像現象が低減された。それに対して 20° をこえて 45° （従来例の方向）の範囲では、従来と同様に焼付現象や残像現象が発生した。

【0015】上記実施例ではTFT型のアクティブマトリックス液晶表示素子について説明したが、本発明はこれに限定されるものではなく、MIM等の他のスイッチング素子を用いたものにも適用される。2端子型のスイッチング素子を用いた場合には、スイッチング素子基板

4

は、信号配線と 20° 以内の角度をなすように配向処理がなされる。

【0016】

【発明の効果】以上説明したように、本発明は、アクティブマトリックス液晶表示素子のスイッチング素子基板において、信号配線が一種類であるときには該信号配線と大略平行となるように、また、信号配線が二種ある場合には、よりディスクリネーションが発生し易い側の信号配線と大略平行となるように、配向処理を施すものである。本発明によれば、ディスクリネーションが発生し易い側の信号配線と画素電極との間の電界が液晶分子の短軸方向に作用することになり、この電界により液晶の配列が乱されることがなくなり、ディスクリネーションの発生が抑制される。よって、本発明によれば、焼付現象や残像現象が低減される。

【図面の簡単な説明】

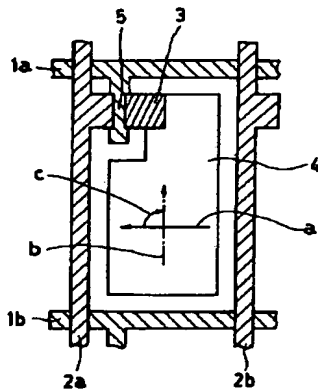
【図1】本発明の一実施例を示す平面図。

【図2】従来例の平面図。

【符号の説明】

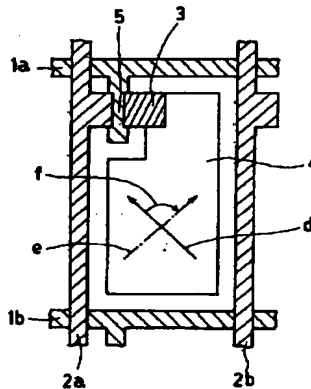
- 1a、1b ゲート配線
- 2a、2b ドレイン配線
- 3 ソース電極
- 4 画素電極
- 5 TFT
- a、d TFT基板側液晶配向方向
- b、e 対向基板側液晶配向方向
- c、f 液晶分子のねじれ方向

【図1】



- 1a, 1b—ゲート配線
- 2a, 2b—ドレイン配線
- 3—ソース電極
- 4—画素電極
- 5—TFT
- a—TFT基板側液晶配向方向
- b—対向基板側液晶配向方向
- c—液晶分子のねじれ方向

【図2】



- 1a, 1b—ゲート配線
- 2a, 2b—ドレイン配線
- 3—ソース電極
- 4—画素電極
- 5—TFT
- d—TFT基板側液晶配向方向
- e—対向基板側液晶配向方向
- f—液晶分子のねじれ方向

THIS PAGE BLANK (USPTO)